

でえれえ Z u p -16/ Z u p -32の案内資料

はじめに

Z80CPUが発売されたのは、1976年です。
現在でもZ80CPUは、まだまだ生きています。
この驚異的なロングライフCPU Z80のユーザは、今CPUに何を求めているのでしょうか。
それは、

- ・乗除算機能が欲しい 32bit幅演算が行いたい
- ・もっと大きなアドレス空間 64kバイトでは少し足りない
- ・高速データ転送
- ・Aレジスタ以外のもっと幅の広いアキュムレータ
- ・12bit/16bitのADC/DACを接続したい
- ・使い慣れたZ80資産を無駄にたくない

そんなZ80ユーザのニーズにお答えできるポストZ80ボードが、弊社の Z u p -16(16ビットCPUボード)/ Z u p -32(32ビットCPUボード)です。

Z u p -16/ Z u p -32ボードのコアCPU 東芝TLCS-900シリーズは、ニーモニックとレジスタセットがZ80の上位互換になっています。
これによりZ80の使い易さを損なうことなく内部処理の32ビット化、パイプライン処理等、最新手法を使い非常に高速化されています。

第1章 CPUの選定

制御を対象とし、ポストZ80に成り得るCPUのパフォーマンス比較は、表1の様になります。
この表中のKC82は、Z80にパイプライン処理を付け、処理速度は速くなりましたが、Z80周辺LSIは使用できなくなりました。

基本的には8ビットCPUですから、Z80から移行するメリットはありません。

V53は、レジスタ・アキュムレータが限定された16ビット幅のもので、H8, TLCS-900と比較し、パフォーマンスはかなり劣ります。

また、富士通、三菱、モトローラ等のCPUは、ユーザが限られている為、開発環境を含めて入手が困難です。

結局、東芝TLCS-900シリーズと日立のH8シリーズの争いになります。

両者は数値的には互角ですが、

- ・使い慣れたZ80の資産が流用できること。
- ・アドレッシングの融通性が高いこと 例えば ADD (mem), XBC など可能です。
- ・アセンブラは、可変長コードを生成しますから、コードの生成効率が高い。
例えばJP先、CALL先に応じて1バイトジャンプ、2バイトジャンプ、3バイトジャンプ等のコードが自動生成されます。

等を考慮すると、TLCS-900シリーズに優位性が認められます。

第2章 Z80との互換性

2-1 レジスタ構成

図1にTLCS-900/Hのレジスタ構成を示します。

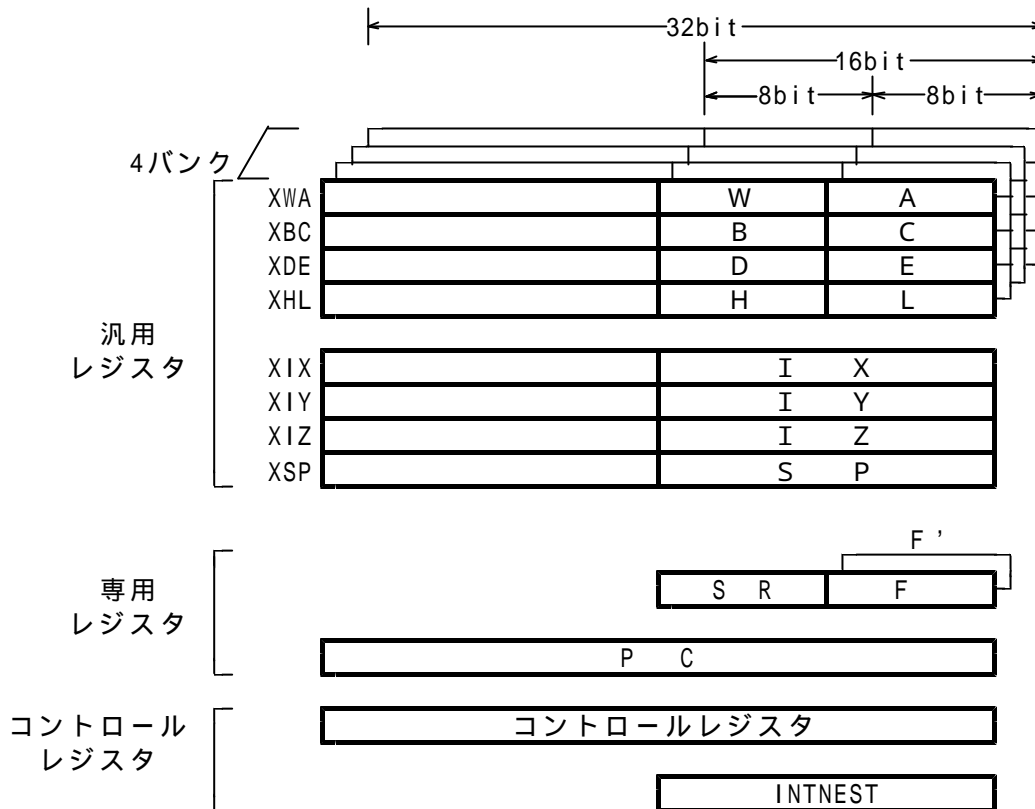


図1 レジスタ構成

Z80と比べると、各レジスタの幅と奥行きが大きくなっています。

レジスタのデータ幅指定は、WAレジスタの場合8ビットでA、16ビットでWA、32ビットでXWAと指定します。

また、Z80の場合は、アキュムレータはAレジスタと制限付のHLレジスタ・ペアに限られていましたが、TLCS900/Hでは全ての汎用レジスタがアキュムレータとして使えます。

XWA, XBC, XDE, XHLは、それぞれ4バンク用意されていますから、割込み時のレジスタ退避が容易に高速で行えます。

2-2 ニモニック

TLCS-900シリーズは、ニモニックでZ80と上位互換となっています。

Z80アセンブリ言語で記述したプログラムは、次の例のように部分的な修整を行うだけでそのまま流用できます。

<pre>LD A, 12H LD C, 34H ADD A, C</pre> <p>(a) Z80のアセンブリ</p>	→	<pre>LD A, 12H LD C, 34H ADD A, C</pre> <p>(b) TLCS-900のアセンブリ</p>
↓		
→		
<pre>LD XWA, 12H LD XBC, 34H ADD XWA, XBC</pre> <p>32ビット計算に変更</p>		

2-3 ダイナミックバスサイジング

TLCS-900シリーズは、内部は32ビット構成ですが、外部バスは16ビット/8ビットの選択ができます。

このことは、今までZ80で使っていた開発ツール、ROMライター、プログラム・ローダが流用可能ということです。

また、従来までのハードウェアで使っていた8ビット幅のI/O制御LSI、具体的には82C55や82C51等に対応可能です。

ダイナミックバスサイジングの接続例を図2に示します。

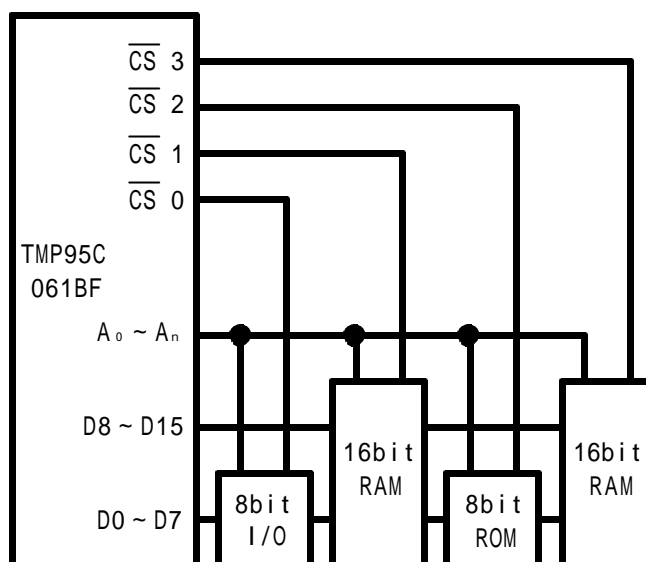


図2 ダイナミックバスサイジングの接続例

2-4 TLCS-900ファミリ

TLCS-900は、東芝の16ビット/32ビットCPUのコア部分の総称です。TLCS-900型コアCPUと周辺I/Oを同一パッケージに組みだワンチップASSP(Application Standard Products)がTLCS CPUファミリTMPxxxxです。

コアCPUと周辺I/Oの組合せ、及びメモリ内蔵型、外付型、フラッシュROM方式等の仕様により、40種類程のバリエーションが用意されています。

ファミリのコアとなるCPUの種類は、現在のところ次の4種類です。

- ・ TLCS-900
8ビットCPU TLCS-900との上位互換性が高いCPU。
- ・ TLCS-900/L
省電力タイプ、モバイル機器向けのCPU。
- ・ TLCS-900/H
高性能タイプ、汎用向けのCPU。
Z u p -16のコアCPUです。
- ・ TLCS-900/H2
1クロック動作、ALUが32ビットの高速型CPU。
Z u p -32のコアCPUです。

TLCS-900/Hの評価記事が、トランジスタ技術98年8月号の重点企画ページに掲載されています。

Z80との上位互換性を詳しく説明していますので、ご参照ください。

第3章 飛越えZup-16 CPUボード

Zup-16 CPUボードは、(株)東芝の16ビットCPU TMP95C061BFを中心に、ROM、RAM、水晶発信器、RS-232Cドライバ等のCPUの起動に必要な周辺素子を、コンパクトなボードに組み込んだCPUボードです。

本ボードと外部との接続は、基板から2組の50ピンコネクタを介し行います。

Zup-16 CPUボードは、ROMのバス幅により2種類の製品を用意しています。

Zup-16s : 8ビット幅のROMを1個実装するタイプ

Zup-16w : 8ビット幅のROMを2個実装し、16ビット幅とするタイプ

TMP95C061BFのダイナミックバスサイジング機能を使い、この様にデータバス幅が自由に選択できます。

RAMは、16ビット幅で256Kバイト実装済ですから、8ビット幅のROMから16ビット幅のRAMへプログラムを転送し、走らせることができます。

また外付のLSIを追加する場合、80系LSI(82C55等)のインターフェースが容易に行えます。

Zup-16 CPUボードのブロック図を図3に示します。

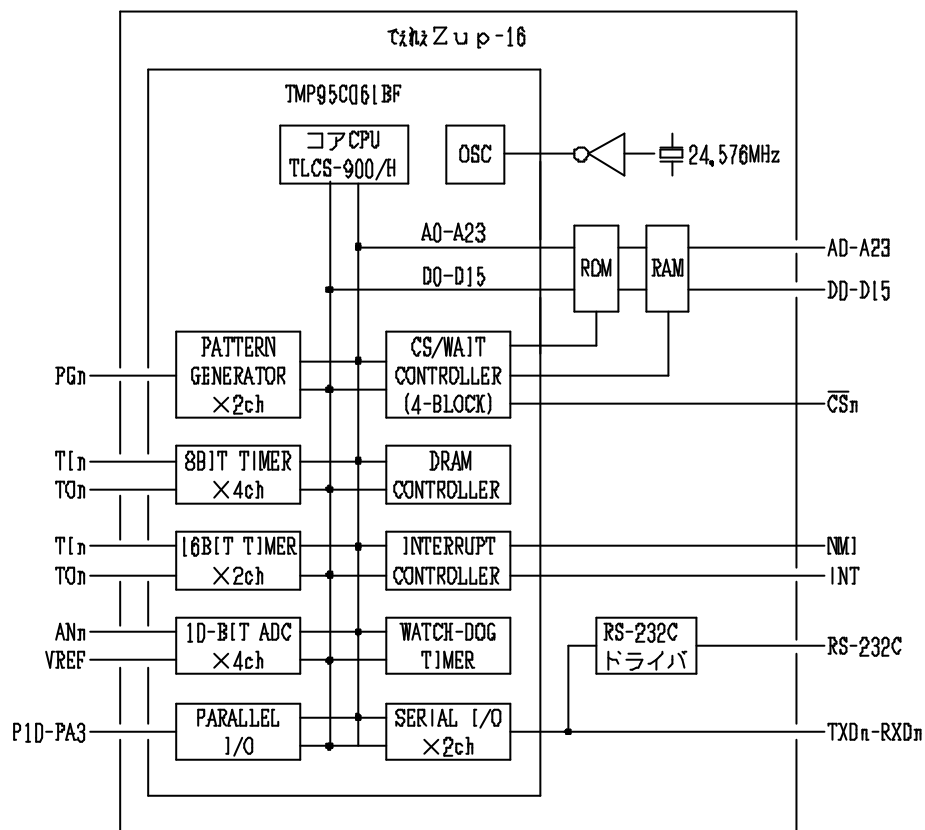


図3 飛越えZup-16のブロック図

3-1 TMP95C061BF CPU

2ステート動作の高速CPUコア(TLCS-900/H)に、ブロック図に示す周辺I/Oが組込まれた16ビットマイクロコントローラです。

特徴

- ・ 3段パイプラインによる2ステート動作の高速処理
- ・ Z80とニーモニック及びレジスタセットで上位互換
- ・ 16Mバイトのリニアアドレス空間
- ・ 汎用レジスタ&レジスタバンク方式 汎用レジスタは、全てアキュムレータとして使用可
- ・ 16ビット乗除算命令、ビット転送/演算命令
- ・ 8ビットバス、16ビットバスの混在が可能なダイナミックバスサイジング
- ・ 高機能周辺I/O内蔵

3-2 メモリ

ROM : 256Kビット~1MビットのROMを1個または2個実装可能
RAM : 1MビットRAMを2個実装済 256Kバイト16ビットデータ幅

3-3 RS-232Cトランシーバ

2チャンネルのシリアルI/Oの片チャンネルに、RS-232Cトランシーバを実装しています。ROMに転送プログラムを置き、このRS-232C回線を使いホストコンピュータからRAMへのプログラム転送等に使えます。

3-4 発振回路

発振回路内蔵の水晶発振器をボード上に実装しています。
発振周波数は24.576MHzです。
CPU内ではこの原発振をバスタイミング等に使い、またこれを2分周にCPUクロック(ステート)として使用します。

3-5 でえれえZ u p -16の基本仕様

型 式 Z u p -16s 8ビットROM版
 Z u p -16W 16ビットROM版

CPU 型 式	TMP95C061BF (株)東芝 CPUコア : TLCS-900/H
クロック	原発振 : 24.576MHz 1ステートサイクル : 1/2原発振 = 81.4ns
メモリ	RAM : 256Kバイト TC551001 × 2 16ビットデータ幅 ROM : Zup-16s 32Kバイト~128Kバイト × 1実装可 Zup-16W 32Kバイト~128Kバイト × 2実装可
I/O	TMP95C061BF内蔵I/O 10ビットADC 4入力 シリアルI/O 2ch パターンジェネレータ 2ch 8ビットタイマ 4ch 16ビットタイマ 2ch DRAMコントローラ 1ch チップセクタ 4出力 パラレルI/O I/O点数選択可 ウォッチドックタイマ 1 割込みコントローラ 32入力 クロックコントローラ 各1 プリスケーラ ----- ボード実装I/O RS-232Cトランシーバ 1ch OSC 24.576MHz 1
外形寸法	66mm × 74mm Zup-16s 66mm × 91mm Zup-16W
電 源	DC5V(±10%) 消費電流80mA I/O無負荷時
使用環境	動作周囲温度 0~70 (結露なきこと)

付属品

- ・基板エッジコネクタ用レセプタクル 50pin ----- 2組
- ・RS-232C接続用コネクタキット ----- 1式
- ・回路図 ----- 1式

第4章 へええZ u p -32 CPUボード

Z u p -32 CPUボードは、(株)東芝の32ビットCPU TMP94C251AFを中心に、ROM、RAM、フラッシュROM、水晶発振回路、RS-232Cトランシーバ等のCPUに必要な周辺素子を、コンパクトなボードに組み込んだCPUボードです。

本ボードには、10万回以上の書替え可能なフラッシュROMを実装し、またシリアルポートからフラッシュROMを制御するモニタROMを用意しましたので、ROMライターなしでのプログラム開発 (ROMレス開発) が容易に行えます。

本ボードと外部との接続は、基板から2組のコネクタ (60ピン、64ピン) を介して行います。

Z u p -32 CPUボードのブロック図を図4に示します。

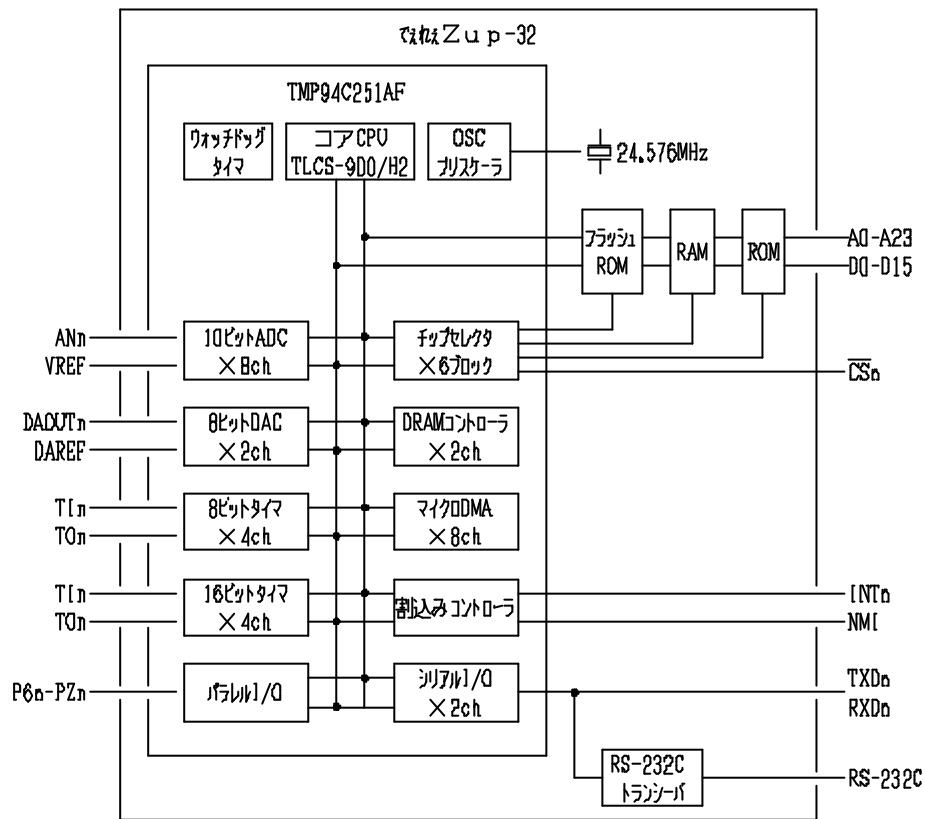


図4 へええZ u p -32のブロック図

4-1 TMP94C251AF CPU

TMP94C251AF CPUは、最短命令実行時間が1ステート(50ns @20MHz)動作の高性能32ビットコアCPU TLC94C251AFと、図4ボードブロック図のTMP94C251AF部分に示される高性能I/Oが144ピンフラットパッケージに組込まれた32ビットマイクロコントローラです。

本CPUの特長を次に示します。

- ・ 最短命令実行時間 = 50ns (@20MHz) の高速処理
- ・ 32ビットALU
- ・ 12バイトの命令キューバッファによる4段パイプライン処理
- ・ Z80とニーモニック及びレジスタセットで上位互換
- ・ 16Mバイトのリニアアドレス空間
- ・ 汎用レジスタ&レジスタバンク方式
- ・ 16ビット乗除算命令、ビット転送/演算命令
- ・ 8ビットバス、16ビットバスの混在が可能なダイナミックバスサイジング
- ・ 32ビット幅、1クロック動作の高速RAMを2Kバイト内蔵
- ・ 250n/4バイトの高速DMAが8チャンネル内蔵
- ・ 6本のチップセレクト出力
- ・ 10ビットADC 8ch内蔵(サンプルアンドホールドアンプ付)
- ・ 8ビットDAC 2ch内蔵

4-2 実装メモリ

本ボードには、次に示すメモリが用意されています。

RAM : 4Mビット(512Kバイト/256Kワード)のRAMを16ビットデータ幅で使用します。

ROM : データ8ビット幅で、32Kバイト~128KバイトのROMが実装可能なROMソケットを用意しています。(モニタは32KバイトROMで供給します)

フラッシュROM : 4Mビット(512Kバイト/256Kワード)のフラッシュROMを、ワード接続しています。

CPU内蔵RAM : TMP94C251AFには、2Kバイトの32ビット幅のRAMが内蔵されており、このRAMは、1ステート、32ビット幅アクセスとなります。
スタックまたは高速処理の必要なサブルーチンの実行領域として有用です。

4-3 RS-232Cトランシーバ

2チャンネルのシリアルI/Oの片チャンネルに、RS-232Cトランシーバを実装しています。

ROMソケットにRS-232C通信とフラッシュROMを制御するモニタROMを置き、RS-232C回線を使いホストコンピュータからRAMまたはフラッシュROMへのプログラム転送を行います。

4-4 でえれえZ u p -32 基本仕様

CPU 型 式	TMP94C251AF (株)東芝 CPUコア : TLCS-900/H2
クロック	原発振 : 9.8304MHz CPU内部でこれを4逡倍し2分周します 1ステートサイクル : $9.8304\text{MHz} \times 4 \div 2 = 19.6608\text{MHz}$: 50.86ns
メモリ	RAM : 512Kバイト 16ビットデータ幅 TC554161FTL実装 ROM : 32Kバイト~128Kバイト 8ビットデータ幅実装可 フラッシュROM : 512Kバイト 16ビットデータ幅 MBM29F400TC実装 書替え回数 10万回以上可能 CPU内蔵RAM : 2Kバイト 32ビットデータ幅 1ステートアクセス プログラム実行可能
I/O	TMP94C251AF内蔵I/O 10ビットADC 8ch(サンプルホールド付) 8ビットDAC 2ch シリアルI/O 2ch 8ビットタイマ 4ch 16ビットタイマ 4ch DRAMコントローラ 2ch チップセクタ 6出力(ポート内部3出力、ポート外部3出力) ウォッチドックタイマ 1 割込みコントローラ 38入力 マイクロDMA 8ch 1転送 250ns (@20MHz) クロックコントローラ 各1 プリスケータ パラレルI/O I/O点数選択可 最大64点 ----- ボード実装I/O RS-232Cトランシーバ 1ch
外形寸法	85mm × 60mm
電 源	DC5V(±10%) 消費電流 80mA I/O無負荷時
使用環境	動作周囲温度 0~70 (結露なきこと)

第5章 開発環境

Z u p -16 / Z u p -32 CPUボードの開発環境として、次のものを用意しています。

- ・低価格アセンブラ(東芝オリジナル限定版)
- ・低価格コンパイラ(東芝オリジナル限定版)
- ・Z u p -16 / Z u p -32 CPUボードユーザーズマニュアル及びサンプルプログラム
- ・ROMレス開発用のモニタROM
- ・リモートモニタ(シリアルポートを使った簡易ランタイムモニタ)

アセンブラ、コンパイラは、(株)東芝とのコピー契約により低価格配布が可能となった限定版です。

限定項目

1. (株)東芝並びに弊社の技術サポート及びバージョンアップサービスがありません。
2. 印刷物による取扱説明書が提供できません。

弊社でアセンブラ、コンパイラ共、READMEの形で用意しています。

この項目を除けば、(株)東芝の純正品と同等です。(READMEはバージョンアップを行います)ユーザーズマニュアルは、CPUのアーキテクチャ、アセンブル命令の詳細、I/O設定の詳細説明、起動方法の詳細等、大変詳しく解説されたものです。

東芝TLCS-900シリーズの開発ツールとして、(株)東芝の純正テストツールの他、次の各社から開発支援品が発売されています。

メーカー名	支援品
アンドールシステムサポート(株) TEL 03-3450-8101	アセンブラ インサーキットエミレータ
GAIOTEKテクノロジー(株) TEL 03-3662-3041	コンパイラ アセンブラ デバッガ
京都マイクロコンピュータ TEL 075-953-0963	ROMインサーキットエミレータ
横河デジタルコンピュータ TEL 0423-33-6222	インサーキットエミレータ
(株)LIFEBOAT TEL 03-3293-4714	コンパイラ アセンブラ デバッガ

5-1 ROMレス開発環境

Z u p -32 CPUボードには、512Kバイト(4Mビット)のフラッシュROMが実装されています。付属モニタROMでZ u p -32 CPUボードを起動し、シリアルポートからコマンドとインテルHexフォーマットのプログラムを送ることにより、ホストコンピュータからボード上のフラッシュROMへ直接プログラム転送が行えます。

また、モニタROMのソースプログラムも添付していますので、一部変更することによりRUN中のレジスタ状態、メモリ内容をシリアルポートからモニタできます。

5-2 モニタROMコマンド

Z u p -32 CPUボードのシリアルポートへアスキー文字のコマンドを送込むことにより、フラッシュROMの制御を行います。

- ・フラッシュROMのチップイレース〔PCZ〕
フラッシュROMのチップイレースを行い、イレース結果(状態)をシリアルポートへ返します。
- ・フラッシュROMのブロックイレース〔PCn〕
フラッシュROM領域を11のブロックに分けて制御することができます。
このコマンド〔PCn〕は、ブロック指定のイレースです。
ブロックNo.0～Aを引数nで指定します。
イレース結果(状態)をシリアルポートへ返します。
- ・インテルHex受信コマンド〔S6----〕
S6コマンドに続くインテルHexフォーマットのプログラムを受信し、Z u p 32 CPUボードのRAMへストアします。
受信できるプログラム容量は、バイナリ換算で最大300Kバイトです。
エンドレコード検出後、受信結果をシリアルポートへ返します。
- ・フラッシュROM書込みコマンド〔PD〕
受信したインテルHexフォーマットのプログラムをバイナリ変換し、フラッシュROMに書込みます。
書込み結果(状態)をシリアルポートへ返します。
- ・フラッシュROM内のプログラム実行コマンド〔PR〕
ステータスレジスタの内容をクリア後、フラッシュROMの先頭番地へジャンプします。

デバッグ終了後、ジャンパ選択によりブートをモニタROMからフラッシュROMへ変更できません。